

DERWENT-ACC-NO: 1999-272699

DERWENT-WEEK: 199923

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Clock regeneration circuit of
synchronous dynamic random
access memory - has output buffer
whose multiple output
terminals are arranged to indirect
circuit area in one
settlement such that internal clock
signal coincides in
center portion

PATENT-ASSIGNEE: HITACHI LTD[HITA]

PRIORITY-DATA: 1997JP-0254327 (September 3, 1997)

PATENT-FAMILY:

PUB-NO

PUB-DATE

LANGUAGE

PAGES

MAIN-IPC

JP-11086531 A

March 30, 1999

N/A

017

G11C 011/401

APPLICATION-DATA:

PUB-NO

APPL-DESCRIPTOR

APPL-NO

APPL-DATE

JP 11086531A

N/A

1997JP-0254327

September 3, 1997

INT-CL (IPC): G11C011/401, G11C011/407 , G11C011/409 ,
H01L021/8242 ,
H01L027/108

ABSTRACTED-PUB-NO: JP 11086531A

BASIC-ABSTRACT:

NOVELTY - Indirect circuit area in center of semiconductor
chip and memory
array arranged symmetrically to indirect circuit area.
Clock regenerator

generates internal clock signal which synchronizes with clock signal input from external terminal. Output buffer having multiple outputs are arranged to indirect circuit area at one settlement, so that internal clock signal coincides in center portion.

USE - For synchronous dynamic random access memory.

ADVANTAGE - Signal retardation of high speed reading is reduced to minimum by synchronizing input clock signal with internal clock signal which coincides in center. DESCRIPTION OF DRAWING(S) - The figure shows a schematic block diagram of the semiconductor memory.

CHOSEN-DRAWING: Dwg.1/12

TITLE-TERMS: CLOCK REGENERATE CIRCUIT SYNCHRONOUS DYNAMIC
RANDOM ACCESS MEMORY
 OUTPUT BUFFER MULTIPLE OUTPUT TERMINAL ARRANGE
INDIRECT CIRCUIT
 AREA ONE SETTLE INTERNAL CLOCK SIGNAL COINCIDE
PORTION

DERWENT-CLASS: U13 U14

EPI-CODES: U13-C04B1A; U14-A03B4A; U14-A07; U14-A08;

SECONDARY-ACC-NO:

Non-CPI Secondary Accession Numbers: N1999-204264

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平11-86531

(43)公開日 平成11年(1999) 3月30日

(51)IntCl[°]

識別記号

F I

G 1 1 C 11/401

G 1 1 C 11/34

3 7 1 K

11/409

3 5 4 Q

11/407

3 6 2 S

H 0 1 L 27/108

H 0 1 L 27/10

6 8 1 E

21/8242

審査請求 未請求 請求項の数6 F D (全 17 頁)

(21)出願番号

特願平9-254327

(22)出願日

平成9年(1997) 9月3日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 長谷川 雅俊

東京都青海市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 中村 正行

東京都青海市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(72)発明者 梶谷 一彦

東京都青海市今井2326番地 株式会社日立

製作所デバイス開発センタ内

(74)代理人 弁理士 徳若 光政

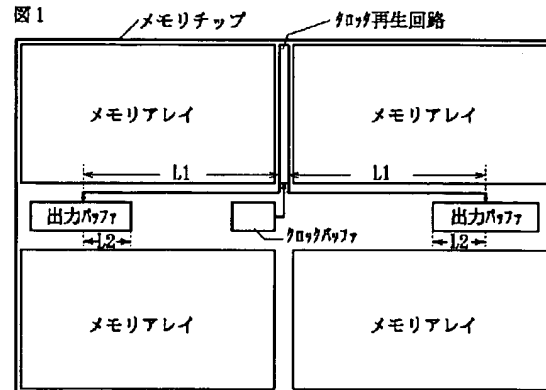
(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 高速動作化と高集積化を実現した半導体記憶装置を提供する。

【解決手段】 半導体チップの中央部分に間接回路領域が設けられ、少なくとも上記間接回路領域を挟んで対称的にメモリアレイ部が構成されてなる半導体記憶装置において、複数からなる出力バッファを上記間接回路領域に1纏まり又は上記間接回路領域のほぼ中心部から等間隔となる位置に2組に分けて配置させるとともに、上記中心部に内部クロック信号の出力点が合致するようクロック再生回路をレイアウト配置する。

図1



【特許請求の範囲】

【請求項1】 半導体チップの中央部分に間接回路領域が設けられ、

少なくとも上記間接回路領域を挟んで対称的にメモリアレイ部が構成されてなる半導体記憶装置において、外部端子から入力されたクロックと同期した内部クロック信号を発生させるクロック再生回路と、上記内部クロック信号に同期して複数ビットからなる読み出し信号を複数からなる外部端子へそれぞれ出力させる複数からなる出力バッファとを備え、

上記複数からなる出力バッファは、上記間接回路領域に1纏まりに配置されるとともに、上記1纏まりの中心部に上記内部クロック信号の出力点が合致するよう上記クロック再生回路をレイアウト配置してなることを特徴とする半導体記憶装置。

【請求項2】 半導体チップの中央部分に間接回路領域が設けられ、

少なくとも上記間接回路領域を挟んで対称的にメモリアレイ部が構成されてなる半導体記憶装置において、外部端子から入力されたクロックと同期した内部クロック信号を発生させるクロック再生回路と、

上記内部クロック信号に同期して複数ビットからなる読み出し信号を複数からなる外部端子へそれぞれ出力させる複数からなる出力バッファとを備え、

上記複数からなる出力バッファは、上記間接回路領域のほぼ中心部から等間隔となる位置に2組に分けて配置させるとともに、上記中心部に上記内部クロック信号の出力点が合致するよう上記クロック再生回路をレイアウト配置してなることを特徴とする半導体記憶装置。

【請求項3】 上記クロック再生回路は、

外部端子から入力された入力信号を受ける入力段回路と、

上記入力段回路を通したパルス信号を受けてその出力信号を順次に伝播させる基本遅延単位を構成する論理積ゲート回路からなるフォワード・ディレイ・アレイと、

上記入力段回路を通したパルスと各論理積ゲート回路の出力信号とを受け、その出力を上記フォワード・ディレイ・アレイの所定の論理積ゲートのゲート制御信号として伝えるミラー制御回路と、

上記ミラー制御回路から対応する出力信号が供給され、かかるミラー制御回路を通したパルスエッジを上記フォワード・ディレイ・アレイとは逆方向に伝播させる基本遅延単位を構成する論理積ゲート回路からなるバックワード・ディレイ・アレイと

上記バックワード・ディレイ・アレイの各段に設けられ、上記ミラー制御回路と等価な負荷条件を形成する負荷回路とを含むシンクロナス・ミラー・ディレイ回路からなることを特徴とする請求項1又は請求項2の半導体記憶装置。

【請求項4】 上記シンクロナス・ミラー・ディレイ回

路は、間接回路領域の長手方向に対して直角方向の2つのメモリアレイに挟まれた細長い半導体領域に嵌め込まれるようなレイアウト配置されるものであることを特徴とする請求項3の半導体記憶装置。

【請求項5】 上記クロック再生回路は、

外部端子から入力されたクロック信号を取り込む入力バッファ回路と、

上記入力バッファ回路により取り込まれたクロック信号を遅延させる遅延回路と、

10 上記クロック信号に対して十分高い周波数の発振パルス形成するパルス発生回路と、

上記遅延回路を通したクロック信号により起動され、上記発振パルスを一方の方向にカウント動作を行い、上記入力バッファ回路を通した1周期遅れのクロック信号により他方の方向のカウント動作に切り換えられ、計数値が計数開始時に戻ったときに出力タイミング信号を形成するアップ/ダウンカウンタ回路と、

上記カウンタ回路からの出力タイミング信号を受けて内部回路の動作に必要なクロック信号を出力させるクロックドライバとを含む同期クロック発生回路を備え、上記遅延回路の遅延時間は、上記入力バッファ回路の遅延時間と上記クロックドライバの遅延時間の和に対応した遅延時間に設定されるものであることを特徴とする請求項1又は請求項2の半導体記憶装置。

【請求項6】 上記半導体記憶装置は、シンクロナスダイナミック型RAMを構成するものであり、

上記クロック再生回路は、そのクロック入力回路に用いられるものであることを特徴とする請求項1又は請求項3の半導体記憶装置。

30 【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は、半導体記憶装置に関し、例えばクロック信号により同期して動作するシンクロナスダイナミック型RAM（ランダム・アクセス・メモリ）におけるクロック再生回路と出力回路のレイアウト技術に利用して有効な技術に関するものである。

【0002】

【従来の技術】シンクロナス・ミラー・ディレイ回路（SMD）は、外部クロックと内部クロックとの同期をとるための回路である。このようなシンクロナス・ミラー・ディレイ回路については、アイ・エス・エス・シー・ダイジェスト オブ テクニカル ペーパーズ（ISSCC DIGEST OF TECHNICAL PAPERS）誌1996年2月10日、第374頁～第375頁がある。

【0003】

【発明が解決しようとする課題】上記のようなシンクロナス・ミラー・ディレイ回路（SMD）を用いることにより、外部端子から供給されたクロック信号と内部で発生されるクロック信号の同期を採ることができ、クロック周期に占める上記入力回路での信号遅延時間を実質的

に零にできるためクロック信号の高周波数化が可能になる。しかしながら、上記のように同期化された内部クロック信号を形成しても、かかる内部クロック信号の信号伝達経路においても遅延時間が発生するものであり、例えばクロック信号の周波数を約200MHzのような高い周波数に設定しようとする、1周期が5ns(ナノ秒)と小さくなり、上記遅延時間が無視できなくなる。

【0004】この発明の目的は、高速動作化と高集積化を実現した半導体記憶装置を提供することにある。この発明の前記ならびにそのほかの目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【0005】

【課題を解決するための手段】本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、下記の通りである。すなわち、半導体チップの中央部分に間接回路領域が設けられ、少なくとも上記間接回路領域を挟んで対称的にメモリアレイ部が構成されてなる半導体記憶装置において、複数からなる出力バッファを上記間接回路領域に1纏まり又は上記間接回路領域のほぼ中心部から等間隔となる位置に2組に分けて配置させるとともに、上記中心部に内部クロック信号の出力点が合致するようクロック再生回路をレイアウト配置する。

【0006】

【発明の実施の形態】図1には、この発明に係る半導体記憶装置の一実施例の概略ブロック図が示されている。同図に示された各回路ブロックは、本願発明に直接的に関係の深いものが代表として例示的に示されており、これらの各回路ブロックはメモリチップ上における実際の幾何学的な配置に合わせて描かれている。同図の各回路ブロックは、公知の半導体集積回路の製造技術により、単結晶シリコンのようなメモリチップ上に形成される。

【0007】この実施例の半導体記憶装置は、後述するようなシンクロナスDRAM(以下単にSDRAMという)を構成するものであり、メモリチップの長手方向の中央部分に間接回路領域が設けられ、かかる間接回路領域を挟んで上下にメモリアレイが配置される。メモリアレイは、特に制限されないが、中央部分で左右に分割され、メモリチップ全体では4つのメモリアレイから構成される。これらの4つのメモリアレイは、それぞれが約64Mビットのような記憶容量を持ち、メモリチップ全体では約256Mビットのような大きな記憶容量を持つようにされる。

【0008】上記間接回路領域には、出力バッファが8個ずつが1組とされて左右に分けて2組設けられる。これにより、この実施例のSDRAMは、16ビット(2バイト)単位での書き込みと読み出しが行われる。上記出力バッファは、外部端子から供給されるクロック信号に同期して読み出し信号を出力させる。このようなクロック信号は、外部端子から供給されるクロック信号が

ロックバッファを介してクロック再生回路に供給され、ここで上記入力バッファでの信号遅延を実質的に無くして、外部端子から供給されたクロック信号と内部で発生されたクロック信号とが同期化させられる。

【0009】この実施例では、上記クロック再生回路で同期化された内部クロック信号における信号伝播遅延時間を実質的に短くするために、上記クロック再生回路の出力点から上記2組に分けられた出力バッファの中心点までの距離が等間隔になるようにメモリチップの中央部分に配置される。特に制限されないが、上記クロック再生回路として、上記シンクロナス・ミラー・ディレイ回路を用いた場合には、例えばメモリチップの上側に左右に分割されて形成されるメモリアレイの間の狭い隙間に嵌め込むようにレイアウト配置される。これにより、回路規模としては比較的大きなシンクロナス・ミラー・ディレイ回路を効率よく配置することができ、高集積化が可能になる。

【0010】外部端子から入力されるクロック信号と上記クロック再生回路で形成された内部クロック信号の同期化を容易にするために、上記クロックバッファはメモリチップの間接回路領域の中央部に配置され、短い距離で取り込まれたクロック信号を上記クロック再生回路に伝えるものである。

【0011】上記クロック再生回路により形成されたクロック信号は、等しい距離を持って配置される2組の出力バッファの中央部分まで延び、そこから4個ずつに出力バッファに対応し分岐して供給される。この構成では、左右に振り分けられた出力バッファの中心部分に対して、同じ遅延時間を持って内部クロック信号を供給することができる。したがって、クロック再生回路から最も遠い位置に配置される出力バッファは、上記クロック再生回路から左右に振り分けられた2組の出力バッファまでの距離L1と、かかる各組の中心部から両端の出力バッファに至る距離L2との和(L1+L2)となる。

【0012】上記のようなレイアウト配置により、クロック再生回路により形成されたクロック信号が、それを受けて出力信号を形成する出力バッファに至る距離は、上記出力バッファの特定の位置に設定されたという条件の下では、(L1+L2)のように最も短くできるものである。ちなみに、上記出力バッファの配置に対して、ワーストケースは上記クロック再生回路の出力点を間接回路領域の左右いずれか一端に配置する場合である。この場合には、クロック再生回路の出力点から最も遠い位置に配置される出力バッファに至る距離は、およそ2(L1+L2)になるものである。つまり、上記の場合には、クロック再生回路の出力点に対して隣接して配置される出力バッファも存在するために、かかる出力バッファに対するクロック信号の遅延は最小にできるが、メモリアクセス時間は上記のようなワーストケースにより律則されるために上記最小遅延のものが存在することに

何らの意義も生じない。

【0013】図2には、この発明に係る半導体記憶装置の他の一実施例の概略ブロック図が示されている。この実施例では、上記のような間接回路領域において、出力バッファが16個纏めて配置される。これにより、この実施例のSDRAMにおいても、上記同様に16ビット(2バイト)単位での書き込みと読み出しが行われる。上記のように出力バッファを1つに纏めて配置した場合には、その中点部にクロック再生回路の出力点が合致するように出力バッファ列に沿ってクロック再生回路が形成される。外部端子から供給されるクロック信号はクロックバッファを介してクロック再生回路に供給され、ここで上記入力バッファ及びクロック再生回路の入力に至るまでの信号遅延を実質的に無くして、外部端子から供給されたクロック信号と内部で発生されたクロック信号とが同期化させられる。

【0014】この実施例では、上記クロック再生回路の出力点が上記16個からなる出力バッファの中心点に合致しているために、上記のように4個の出力バッファの長さが $L/2$ として、同じ回路を用いると16個の出力バッファ列の長さは $4 \times L/2$ となり、クロック再生回路から最も遠い位置に配置される出力バッファまでの距離は、 $2 \times L/2$ のように短くできる。すなわち、上記クロック再生回路を上記出力バッファ列に沿って配置した場合、出力バッファ列の中心部とクロック再生回路の出力点とのずれがあると、そのずれ分だけ一方では長くなり、他方では短くなり、メモリアクセスは上記長くなる方で律則されるために上記の実施例のように両者を合致させることがメモリアクセス時間を最も短くできるものとなる。

【0015】図3には、この発明が適用される半導体記憶装置の一実施例の概略ブロック図が示されている。特に制限されないが、この実施例の半導体記憶装置は、SDRAMに向けられており、公知の半導体集積回路の製造技術によって単結晶シリコンのような1つの半導体基板上に形成される。

【0016】この実施例のSDRAMは、メモリバンク(Bank)0～メモリバンク(Bank)3を構成するメモリセルアレイMARYを4組($\times 4$)を備えている。上記メモリセルアレイMARYは、マトリクス配置されたダイナミック型メモリセルを備えており、図に従えば縦方向に配置されたメモリセルの選択端子は各列毎のワード線(図示せず)に結合され、横方向の同一行に配置されたメモリセルのデータ入出力端子は行毎に相補ビット線に結合される。

【0017】メモリセルアレイMARYの図示しないワード線は、XデコーダXDによるXアドレス信号のデコード結果、図示しないロウ系タイミング信号に従ってワードドライバWDにより実質的に1本が選択レベルに駆動される。メモリセルアレイMARYの図示しない相補

ビット線はセンスアンプSAに結合される。センスアンプSAには、後述するようにカラム選択回路が設けられており、ワード線選択によるメモリセルからのデータ読み出しによって夫々の相補ビット線に現れる微小電位差をセンスアンプにより検出して増幅してメモリセルにリライトを行う。カラムスイッチ回路は、相補ビット線を各別を選択して相補共通入出力線に導通させる。カラムスイッチ回路はYデコーダYDECによるカラムアドレス信号のデコード結果に従って選択動作される。上記4組からなるメモリセルアレイMARYに対して、それぞれに上記のようなXデコーダXD及びワードドライバWDと、YデコーダYDECが設けられるものである。

【0018】同図においては、欠陥救済回路としてY系の冗長ビット線RBLが設けられている。この冗長ビット線RBLは、上記YデコーダYDECに含まれるY冗長回路YRによって、不良ビット線に対するメモリアクセスがあったときには不良ビット線に代えて冗長デコーダYRSにより上記冗長ビット線RBLを選択するようにされる。同図においては省略されているが、上記メモリセルアレイMARYに冗長ワード線が設けられ、そこに対応してXデコーダXDにはX冗長回路XRが設けられ、不良ワード線が冗長ワード線に切り換えられる。

【0019】上記相補共通入出力線は、データ出力制御回路DOCの入力と、書き込み制御回路WCCの出力端子に接続される。上記データ出力制御回路DOCの出力信号は、データ出力バッファDOBを通して図示しない外部端子へ出力される。出力バッファは、図示しない外部端子から供給されたクロック信号と同期するよう形成された内部クロック信号に同期して読み出し信号を出力させる。また、図示しない外部端子から入力された書き込み信号も上記外部端子から供給されるクロック信号に同期してデータ入力バッファDIBの入力端子に供給され、このデータ入力バッファDIBの出力信号が上記書き込み制御回路WCCの入力端子に供給される。特に制限されないが、上記読み出し信号を送出させる外部端子と書き込み信号が入力される外部端子とは、共通化されており、例えば、16ビットのような複数ビットの単位での入出力が行われる。

【0020】図示しないアドレス入力端子から供給されたアドレス信号は、ロウアドレスバッファ回路RADBとカラムアドレスバッファ回路CADBにアドレスマルチプレクス形式で取り込まれる。供給されたアドレス信号はそれぞれのアドレスバッファRADBとCADBが保持する。例えば、ロウアドレスバッファRADBとカラムアドレスバッファCADBは、1つのメモリサイクル期間にわたって上記取り込まれたアドレス信号をそれぞれ保持する。

【0021】上記ロウアドレスバッファRADBはリフレッシュ動作モードにおいてはリフレッシュ制御回路RFCから出力されるリフレッシュアドレス信号をロウア

ドレス信号として取り込む。この実施例では、特に制限されないが、クロック再生回路CKGを介して上記リフレッシュアドレス信号をロウアドレス信号として取り込むようにされている。カラムアドレスバッファCADBに取り込まれたアドレス信号は、制御回路CONTに含まれるカラムアドレスカウンタにプリセットデータとして供給される。上記カラムアドレスカウンタは後述のコマンドなどで指定される動作モードに応じて、上記プリセットデータとしてのカラムアドレス信号、又はそのカラムアドレス信号を順次インクリメントした値を、Yデ

【0022】制御回路CONTは、特に制限されないが、クロック信号CLK、クロックイネーブル信号CKE、チップセレクト信号/CS、カラムアドレスストローブ信号/CAS（記号/はこれが付された信号がロウイネーブルの信号であることを意味する）、ロウアドレスストローブ信号/RAS、ライトイネーブル信号/WE、データ入出力マスクコントロール信号DQMなどの外部制御信号と、メモリバンクに対応されたアドレス信号とが供給され、それらの信号のレベルの変化やタイミングなどに基づいてSDRAMの動作モード等の各種制御信号とそれに対応した各種タイミング信号を形成し、そのためのコントロールロジックとモードレジスタを備える。上記チップセレクト信号/CSがハイレベルのとき（チップ非選択状態）やその他の入力は意味を持たない。但し、後述するメモリバンクの選択状態やバースト動作などの内部動作はチップ非選択状態への変化によって影響されない。/RAS、/CAS、/WEの各信号は通常のDRAMにおける対応信号とは機能が相違され、後述するコマンドサイクルを定義するときに有意の信号とされる。

【0023】クロック信号CLKは、SDRAMのマスククロックとされ、その他の外部入力信号は当該内部クロック信号の立ち上がりエッジに同期して有意とされる。チップセレクト信号/CSはそのロウレベルによってコマンド入力サイクルの開始を指示する。クロック再生回路CKGは、外部端子から供給されたクロック信号に同期した内部クロック信号を発生させるものであり、後述するようなSMD等のような遅延回路により外部端子から供給されたクロック信号を2周期遅延させて同期化させるようなSMD等の同期化回路、あるいはDLL又はPLL回路から構成されてもよい。

【0024】クロックイネーブル信号CKEは次のクロック信号の有効性を指示する信号であり、当該信号CKEがハイレベルであれば次のクロック信号CLKの立ち上がりエッジが有効とされ、ロウレベルのときには無効とされる。さらに、リードモードにおいて、データ出力バッファDOBに対するアウトプットイネーブルの制御を行う外部制御信号DQMも制御回路CONTに供給され、その信号DQMが例えばハイレベルのときにはデー

タ出力バッファDOBは高出力インピーダンス状態にされる。テスト回路TSTCは、テストモードが指定されたときに活性化れて、一括書き込みや一括読み出し比較判定等のテスト動作を行う。

【0025】上記ロウアドレス信号は、クロック信号CLK（内部クロック信号）の立ち上がりエッジに同期する後述のロウアドレスストローブ・バンクアクティブコマンドサイクルにおけるアドレス信号のレベルによって定義される。最上位の2ビットの入力は、上記ロウアドレスストローブ・バンクアクティブコマンドサイクルにおいてバンク選択信号とみなされる。即ち、上記2ビットの組み合わせにより、上記4つのメモリバンク0～3の中の1つが選択される。メモリバンクの選択制御は、特に制限されないが、選択メモリバンク側のロウデコードのみの活性化、非選択メモリバンク側のカラムスイッチ回路の全非選択、選択メモリバンク側のみのデータ入力バッファDIB及びデータ出力バッファDOBへの接続などの処理によって行うことができる。

【0026】後述のプリチャージコマンドサイクルにおける特定のアドレス信号の入力は相補ビット線などに対するプリチャージ動作の態様を指示し、そのハイレベルはプリチャージの対象が双方のメモリバンクであることを指示し、そのロウレベルは、上記メモリバンクを指定するアドレス信号で指示されている1つのメモリバンクがプリチャージの対象であることを指示する。上記カラムアドレス信号は、クロック信号CLK（内部クロック）の立ち上がりエッジに同期するリード又はライトコマンド（後述のカラムアドレス・リードコマンド、カラムアドレス・ライトコマンド）サイクルにおけるアドレス信号のレベルによって定義される。そして、この様にして定義されたカラムアドレスはバーストアクセスのスタートアドレスとされる。

【0027】次に、コマンドによって指示されるSDRAMの主な動作モードを説明する。

（1）モードレジスタセットコマンド（Mo）

モードレジスタをセットするためのコマンドであり、/CS、/RAS、/CAS、/WE＝ロウレベルによって当該コマンド指定され、セットすべきデータ（レジスタセットデータ）はアドレス端子を介して与えられる。レジスタセットデータは、特に制限されないが、バーストレンジス、CASレイテンシイ、ライトモードなどとされる。特に制限されないが、設定可能なバーストレンジスは、1、2、4、8、フルページとされ、設定可能なCASレイテンシイは1、2、3とされ、設定可能なライトモードは、バーストライトとシングルライトとされる。

【0028】上記CASレイテンシイは、カラムアドレス・リードコマンドによって指示されるリード動作において/CASの立ち下がりからデータ出力バッファDOBの出力動作までに内部クロック信号の何サイクル分を

費やすかを指示するものである。読出しデータが確定するまでにはデータ読出しのための内部動作時間が必要とされ、それを内部クロック信号の使用周波数に応じて設定するためのものである。換言すれば、周波数の高い内部クロック信号を用いる場合にはCASレイテンシを相対的に大きな値に設定し、周波数の低い内部クロック信号を用いる場合にはCASレイテンシを相対的に小さな値に設定する。特に制限されないが、後述するような画像処理動作において、必要ならばワード線の切り換え時間を確保するためにCASレイテンシを大きな値に設定するよう利用できるようにできる。

【0029】(2) ロウアドレスストローブ・バンクアクティブコマンド (Ac)

これは、ロウアドレスストローブの指示とアドレス信号によるメモリバンクの選択を有効にするコマンドであり、 CS 、 RAS =ロウレベル、 CAS 、 WE =ハイレベルによって指示され、このとき最上位の2ビットを除くアドレス端子に供給されるアドレスがロウアドレス信号として、上記最上位の2ビットのアドレス端子に供給される信号がメモリバンクの選択信号として取り込まれる。取り込み動作は上述のように内部クロック信号の立ち上がりエッジに同期して行われる。例えば、当該コマンドが指定されると、それによって指定されるメモリバンクにおけるワード線が選択され、当該ワード線に接続されたメモリセルがそれぞれ対応する相補ビット線に導通される。

【0030】(3) カラムアドレス・リードコマンド (Re)

このコマンドは、バーストリード動作を開始するために必要なコマンドであると共に、カラムアドレスストローブの指示を与えるコマンドであり、 CS 、 CAS =ロウレベル、 RAS 、 WE =ハイレベルによって指示され、このときYアドレスに割り当てられた所定のアドレス端子から入力されたアドレス信号に供給されるカラムアドレスがカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストスタートアドレスとしてカラムアドレスカウンタに供給される。

【0031】これによって指示されたバーストリード動作においては、その前にロウアドレスストローブ・バンクアクティブコマンドサイクルでメモリバンクとそれにおけるワード線の選択が行われており、当該選択ワード線のメモリセルは、内部クロック信号に同期してカラムアドレスカウンタから出力されるアドレス信号に従って順次選択されて連続的に読出される。連続的に読出されるデータ数は上記バーストレンジによって指定された個数とされる。また、データ出力バッファDOBからのデータ読出し開始は上記CASレイテンシで規定される内部クロック信号のサイクル数を待って行われる。

【0032】(4) カラムアドレス・ライトコマンド

(Wr)

ライト動作の態様としてモードレジスタにバーストライトが設定されているときは当該バーストライト動作を開始するために必要なコマンドとされ、ライト動作の態様としてモードレジスタにシングルライトが設定されているときは当該シングルライト動作を開始するために必要なコマンドとされる。更に当該コマンドは、シングルライト及びバーストライトにおけるカラムアドレスストローブの指示を与える。当該コマンドは、 CS 、 CAS 、 WE =ロウレベル、 RAS =ハイレベルによって指示され、このとき上記Yアドレスに割り当てられたアドレス信号がカラムアドレス信号として取り込まれる。これによって取り込まれたカラムアドレス信号はバーストライトにおいてはバーストスタートアドレスとしてカラムアドレスカウンタに供給される。これによって指示されたバーストライト動作の手順もバーストリード動作と同様に行われる。但し、ライト動作にはCASレイテンシはなく、ライトデータの取り込みは当該カラムアドレス・ライトコマンドサイクルから開始される。

【0033】(5) プリチャージコマンド (Pr)

これは、A10、A11によって選択されたメモリバンクに対するプリチャージ動作の開始コマンドとされ、 CS 、 RAS 、 WE =ロウレベル、 CAS =ハイレベルによって指示される。

【0034】(6) オートリフレッシュコマンド

このコマンドはオートリフレッシュを開始するために必要とされるコマンドであり、 CS 、 RAS 、 CAS =ロウレベル、 WE 、 CKE =ハイレベルによって指示される。

【0035】(7) バーストストップ・イン・フルページコマンド

フルページに対するバースト動作を全てのメモリバンクに対して停止させるために必要なコマンドであり、フルページ以外のバースト動作では無視される。このコマンドは、 CS 、 WE =ロウレベル、 RAS 、 CAS =ハイレベルによって指示される。

【0036】(8) ノーオペレーションコマンド (No p)

これは実質的な動作を行わないこと指示するコマンドであり、 CS =ロウレベル、 RAS 、 CAS 、 WE のハイレベルによって指示される。

【0037】SDRAMにおいては、1つのメモリバンクでバースト動作が行われているとき、その途中で別のメモリバンクを指定して、ロウアドレスストローブ・バンクアクティブコマンドが供給されると、当該実行中の一方のメモリバンクでの動作には何ら影響を与えることなく、当該別のメモリバンクにおけるロウアドレス系の動作が可能にされる。

【0038】したがって、データ入出力端子においてデータが衝突しない限り、処理が終了していないコマンド

実行中に、当該実行中のコマンドが処理対象とするメモリバンクとは異なるメモリバンクに対するプリチャージコマンド、ロウアドレスストロブ・バンクアクティブコマンドを発行して、内部動作を予め開始させることが可能である。

【0039】SDRAMは、クロック信号CLK（内部クロック信号）に同期してデータ、アドレス、制御信号を入出力できるため、DRAMと同様の大容量メモリをSRAMに匹敵する高速動作させることが可能であり、また、選択された1本のワード線に対して幾つのデータをアクセスするかをバーストレンクスによって指定することによって、内蔵カラムアドレスカウンタで順次カラム系の選択状態を切り換えていく複数個のデータを連続的にリード又はライトできることが理解されよう。

【0040】図4には、この発明が適用されるSDRAMの一実施例の概略レイアウト図が示されている。同図においては、上記図3の実施例に対応して4つのメモリバンクを持つようにされる。そして、同図では、主としてダイナミック型RAMのメモリマットと出力バッファとそれにクロック信号を供給するクロックバッファ及びクロック再生回路の関係が判るように示されており、その他の周辺回路は省略されている。

【0041】この実施例では、特に制限されないが、メモリアレイは、バンク0～3に対応して全体として4個に分けられる。半導体チップの長手方向に対して4つのメモリセルアレイが並ぶように配置される。上記のように1つのメモリバンクが4つのメモリセルアレイを持つので、チップ全体では16個のメモリセルアレイが構成される。上記バンク2とバンク1との間の半導体チップの長手方向中央部分は間接回路領域とされて、縦に並ぶ□で示されたボンディングパッドが代表として例示的に示されている。

【0042】上記間接回路領域には、出力バッファDOBが両端に2組に分けて配置される。つまり、出力バッファは、8ビットずつが間接回路領域の両側に分割して配置される。そして間接領域の中央部分には、アドレスバッファや制御バッファが設けられる。制御バッファに含まれるクロックバッファCKBは、特に制限されないが、チップの中央部分に配置される。なお、データ入力バッファは、その入力端子が上記出力バッファの出力端子と共通化されるものであるために、特に制限されないが、ボンディングパッドを挟んで出力バッファと対称的に配置される。

【0043】クロック再生回路CKGは、上記半導体チップの長手方向に配置されるメモリアレイ間の狭い領域に嵌め込むように配置される。特に制限されないが、クロック再生回路CKGは、後述するようなSMD回路からなり、クロック入力とクロック出力とがチップの中央部分になるようにレイアウト配置され、前記図1の実施例のように出力バッファとの間の距離が最短になるよう

に構成される。

【0044】上述のように半導体チップの長手方向に対して左右に2個ずつ合計4個と、上下方向に4個ずつに分けられた合計16個からなる各メモリアレイにおいて、長手方向に対して上下中央部で2に分けられ、2個ずつに分けられた中央部分においてメインワード線選択回路MWD及びX冗長回路XRが設けられる。このメインワード選択回路MWDの各メモリセルアレイに隣接した上下には、図示しないがメインワードドライバが形成されて、上記上下に分けられたメモリアレイを貫通するように延長されるメインワード線をそれぞれが駆動するようにされる。上記バンク0と1及びバンク2と3に割り当てられたメモリセルアレイの間には、Y選択回路YDとY冗長回路YRが設けられる。

【0045】上記メモリセルアレイは、上記長手方向とそれに対して直角方向とに複数のメモリマットが配列される。つまり、1つのメモリセルは、長手方向に8分割されて8個のメモリマットが設けられ、上記直角方向に16分割されて16個のメモリマットが設けられる。言い換えるならば、ワード線が8分割され、ビット線が16分割せられる。これにより、1つのメモリマットに設けられるメモリセルの数が上記8分割と16分割され、メモリアクセスの高速化を図るようになされる。上記メモリマットは、後述するようにそれを挟んで同図ではセンスアンプ領域が左右に配置され、サブワードドライバ領域SWDが上下に配置されるものである。上記センスアンプ領域に設けられるセンスアンプSAは、シェードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプSAを除いて、センスアンプSAを中心にして左右に相補ビット線が設けられ、左右いずれかのメモリマットの相補ビット線に選択的に接続される。

【0046】太い線で示された上記センスアンプSAとサブワードドライバSWDに囲まれた1つのメモリマットは、図示しないがサブワード線が256本とされ、それと直交する相補ビット線（又はデータ線）が512対とされる。上記1つのメモリアレイにおいて、上記メモリマットがビット線方向に16個設けられるから、全体としての上記サブワード線は約8K分設けられ、チップ全体では16K分設けられる。また、上記1つのメモリアレイにおいて、上記メモリマットがワード線方向に8個設けられるから、相補ビット線は全体として約4K分設けられる。このようなメモリアレイが全体で4個設けられるから、全体では16K分の相補データ線が設けられ、全体としての記憶容量は、 $16K \times 16K = 256M$ ビットのような大記憶容量を持つようになされる。

【0047】上記1つのメモリセルアレイは、メインワード線方向に対して8個に分割される。かかる分割されたメモリセルアレイ15毎にサブワードドライバ（サブワード線駆動回路）が設けられる。サブワードドライバ

は、メインワード線に対して1/8の長さに分割され、それと平行に延長されるサブワード線の選択信号を形成する。この実施例では、メインワード線の数を減らすために、言い換えるならば、メインワード線の配線ピッチを緩やかにするために、特に制限されないが、1つのメインワード線に対して、相補ビット線方向に4本からなるサブワード線を配置させる。このようにメインワード線方向には8本に分割され、及び相補ビット線方向に対して4本ずつが割り当てられたサブワード線の中から1本のサブワード線を選択するために、サブワード選択ドライバが配置される。このサブワード選択ドライバは、上記サブワードドライバの配列方向に延長される4本のサブワード選択線の中から1つを選択する選択信号を形成する。

【0048】上記1つのメモリセルアレイに着目すると、1つのメインワード線に割り当てられる8個のメモリセルアレイのうち選択すべきメモリセルが含まれる1つのメモリマットに対応したサブワードドライバにおいて、1本のサブワード選択線が選択される結果、1本のメインワード線に属する8×4=32本のサブワード線の中から1つのサブワード線が選択される。上記のようにメインワード線方向に4K(4096)のメモリセルが設けられるので、1つのサブワード線には、4096/8=512個のメモリセルが接続されることとなる。特に制限されないが、リフレッシュ動作(例えばセルフリフレッシュモード)においては、1本のメインワード線に対応する8本のサブワード線が選択状態とされる。

【0049】上記のように1つのメモリアレイは、相補ビット線方向に対して4Kビットの記憶容量を持つ。しかしながら、1つの相補ビット線に対して4Kものメモリセルを接続すると、相補ビット線の寄生容量が増大し、微細な情報記憶用キャパシタとの容量比により読み出される信号レベルが得られなくなってしまうために、相補ビット線方向に対しても16分割される。つまり、メモリマット間に配置されたセンスアンプにより相補ビット線が16分割に分割される。特に制限されないが、センスアンプは、上記のようにシェードセンス方式により構成され、メモリセルアレイの両端に配置されるセンスアンプを除いて、センスアンプ16を中心にして左右に相補ビット線が設けられ、左右いずれかの相補ビット線に選択的に接続される。

【0050】図5には、上記メモリマットのメインワード線とサブワード線との関係を説明するための要部ブロック図が示されている。同図においては、代表として2本のメインワード線MWL0とMWL1が示されている。これらのメインワード線MWL0は、メインワードドライバMWD0により選択される。同様なメインワードドライバによりメインワード線MWL1も選択される。

【0051】上記1つのメインワード線MWL0には、

その延長方向に対して8組のサブワード線が設けられる。同図には、そのうちの2組のサブワード線が代表として例示的に示されている。サブワード線SWLは、偶数0~6と奇数1~7の合計8本のサブワード線が1つのメモリマットに交互に配置される。メインワードドライバに隣接する偶数0~6と、メインワード線の遠端側(ワードドライバの反対側)に配置される奇数1~7を除いて、メモリマット間に配置されるサブワードドライバSWDは、それを中心にした左右のメモリマットのサブワード線を選択信号を形成する。

【0052】上記のようにメモリマットとしては、メインワード線方向に8本に分けられるが、上記のように実質的にサブワードドライバSWDにより2つのメモリマットに対応したサブワード線が同時に選択されるので、実質的には4つに分けられることとなる。上記のようにサブワード線を偶数0~6と偶数1~7に分け、それぞれメモリマットの両側にサブワードドライバSWDを配置する構成では、メモリセルの配置に合わせて高密度に配置されるサブワード線SWLの実質的なピッチがサブワードドライバSWDの中で2倍に緩和でき、サブワードドライバSWDとサブワード線SWL0等を効率よくレイアウトすることができる。

【0053】上記メインワードドライバMWDは、4本のサブワード線0~6(1~7)に対して共通に選択信号としてのメインワード線を駆動する。上記4つのサブワード線の中から1つのサブワード線を選択するためのサブワード選択線FXが設けられる。サブワード選択線FXは、FX0~FX7のような8本から構成され、そのうちの偶数サブワード選択線FX0~FX6が上記偶数数列のサブワードドライバ0~6に供給され、そのうち奇数サブワード選択線FX1~FX7が上記奇数数列のサブワードドライバ1~7に供給される。特に制限されないが、サブワード選択線FX0~FX7は、アレイの周辺部では第2層目の金属配線層M2により形成され、同じく第2層目の金属配線層M2により構成されるメインワード線MWL0~MWLnの交差する部分では、第3層目の金属配線層M3により構成される。

【0054】図6には、上記メインワード線とセンスアンプとの関係を説明するための要部ブロック図が示されている。同図においては、代表として1本のメインワード線MWLが示されている。このメインワード線MWLは、メインワードドライバMWDにより選択される。上記メインワードドライバに隣接して、上記偶数サブワード線に対応したサブワードドライバSWDが設けられる。

【0055】同図では、省略されているが上記メインワード線MWLと平行に配置されるサブワード線と直交するように相補ビット線(Pair Bit Line)が設けられる。この実施例では、特に制限されないが、相補ビット線も偶数列と奇数列に分けられ、それぞれに対応してメモリ

マットを中心にして左右にセンスアンプSAが振り分けられる。センスアンプSAは、シェアードセンス方式とされるが、端部のセンスアンプSAでは、実質的に片方にした相補ビット線が設けられない。

【0056】上記のようにメモリマットの両側にセンスアンプSAを分散して配置する構成では、奇数列と偶数列に相補ビット線が振り分けられるために、センスアンプ列のピッチを緩やかにすることができる。逆にいうならば、高密度に相補ビット線を配置しつつ、センスアンプSAを形成する素子エリアを確保することができるものとなる。上記両側のセンスアンプSAの配列に沿ってローカル入出力線が配置され、それぞれが2対のローカル入出力線を持つ。上記のように1本のカラム選択線YSによりスイッチ制御されるカラムスイッチMOSFETによりメモリマットの両側に配置されるセンスアンプに対応して2対ずつの相補ビット線が選択されて上記2対ずつのローカル入出力線に接続される。

【0057】上記合計4対のローカル入出力線は、マット選択信号によりスイッチ制御されるメインスイッチ回路を介して4対からなるメイン入出力線に接続される。上記カラムスイッチMOSFETのゲートは、カラムデコーダ(COLUMN DECODER)の選択信号が伝えられる上記対応する1つのカラム選択線YSに接続される。このカラム選択線YSは、上記図2のように16個に分割されるメモリマットを貫通するよう延長するよう設けられ、各メモリマットの対応の対応するカラムスイッチMOSFETのゲートに共通に接続される。

【0058】図7には、この発明に係るSDRAMのセンスアンプ部の一実施例の要部回路図が示されている。同図においては、センスアンプとそれに関連した一方のメモリマット(メモリアレイ)が例示的に示されている。上記センスアンプの左側に配置されるメモリマットは省略され、その相補ビット線と接続されるシェアードスイッチMOSFET(Q1、Q2)等が例示的に示されている。

【0059】ダイナミック型メモリセルは、右側のメモリマットに設けられたサブワード線SWL0と1に対応して通常回路の4回路分と冗長回路の4回路分が代表として例示的に示されている。ダイナミック型メモリセルは、アドレス選択用MOSFETQmと情報記憶用キャパシタCsから構成される。アドレス選択用MOSFETQmのゲートは、サブワード線SWL0に接続され、このMOSFETQmのドレインが相補ビット線BLTとBLBのうちの一方BLTに接続され、ソースに情報記憶キャパシタCsが接続される。情報記憶用キャパシタCsの他方の電極は共通化されてプレート電圧が与えられる。

【0060】一对の相補ビット線BLT、BLBは、同図に示すように平行に配置され、ビット線の容量バランス等をとるために必要に応じて適宜に交差させられる。

かかる相補ビット線BLBとBLTは、シェアードスイッチMOSFETQ3とQ4によりセンスアンプの単位回路の入出力ノードと接続される。センスアンプの単位回路は、ゲートとドレインとが交差接続されてラッチ形態にされたNチャンネル型MOSFETQ5、Q6及びPチャンネル型MOSFETQ7、Q8から構成される。Nチャンネル型MOSFETQ5とQ6のソースは、共通ソース線SANに接続される。Pチャンネル型MOSFETQ7とQ8のソースは、共通ソース線SAPに接続される。上記共通ソース線SANとSAPには、Nチャンネル型MOSFETとPチャンネル型MOSFETのパワースイッチMOSFETがそれぞれ設けられて、センスアンプの活性化信号により上記パワースイッチMOSFETがオン状態になり、センスアンプの動作に必要な電圧供給を行うようにされる。

【0061】上記センスアンプの単位回路の入出力ノードには、相補ビット線を短絡させるMOSFETQ11と、相補ビット線にハーフプリチャージ電圧HVCを供給するスイッチMOSFETQ9とQ10からなるプリチャージ回路が設けられる。これらのMOSFETQ9～Q11のゲートは、共通にプリチャージ信号PCが供給される。

【0062】MOSFETQ12とQ13は、カラム選択信号YSによりスイッチ制御されるカラムスイッチを構成する。この実施例では、1つのカラム選択信号YSにより2対のビット線を選択できるようにされる。右側のメモリマットのサブワード線SWL0が選択された場合には、メモリマットを中心として右側にも同様に配置されるセンスアンプも活性化される。かかる図示しない右側のセンスアンプにも上記同様なカラムスイッチMOSFETが設けられており、2対のビット線が選択される。それ故、1つのメモリマットに着目すると合計4対の相補ビット線が選択されることとなる。

【0063】上記のメモリマットに着目すると、2つのセンスアンプがビット線の両側に配置され、2対ずつが交互に2つのセンスアンプに対応して接続されるものである。上記カラム選択信号YSは、センスアンプで例示的に示されている2対のビット線BLT、BLB等と、図示しないセンスアンプに設けられる図示しない残り2対のビット線とに対応した合計4対の相補ビット線を選択できるようにされる。これらの2対ずつの相補ビット線対は、ローカル入出力線SIO0B、SIO0T及びSIO1B、SIO1Tに接続され、上記図示しないセンスアンプにおいても、ローカル入出力線SIO2B、SIO2T及びSIO3B、SIO3Tに接続させ、マット選択信号により合計4対からなるメイン入出力線に接続される。冗長用のカラム選択線RYSに対しても、上記同様にセンスアンプと冗長ビット線RBLT、RBLB等が設けられる。

【0064】図8には、この発明に用いられるシンクロ

ナス・ミラー・ディレイ回路（同期パルス再生回路）の一実施例の回路図が示されている。この実施例のシンクロナス・ミラー・ディレイ回路は、外部クロックを取り込む入力部と、フォワード・ディレイ・アレイ（以下、FDAという）、ミラー制御回路（以下、MCCという）及びバックワード・ディレイ・アレイ（以下、BDAという）と負荷回路、内部クロックのドライバとしての出力部から構成される。この実施例では、特に制限されないが、上記入力部において外部クロックCLKinの入力バッファにパルス信号発生回路を設け、クロックCLKinの立ち上がりエッジあるいは立ち下がりエッジからかかるクロックCLKinの周波数に依存しない一定のパルス幅を持ったパルス信号を発生させる。

【0065】つまり、外部端子から入力された外部クロックCLKinは、入力バッファB1を介して、パルス発生回路に供給される。パルス発生回路は、上記入力バッファB1の出力信号を遅延させてパルス幅を設定する遅延回路Pwとインバータ回路N1、上記入力バッファB1と上記インバータ回路N1の遅延信号とを受けるナンドゲート回路G1から構成される。このナンドゲート回路G1の出力信号は、インバータ回路N2とN3を通してCOMMONに伝えられる。

【0066】上記インバータ回路N2とN3を通したパルス発生回路の出力信号は、他方において遅延回路を構成するインバータ回路N4、N5及びバッファ回路B2とB3とを通してFDAに入力される。FDAは、ナンドゲート回路とインバータ回路からなる基本遅延単位から構成される。FDAの初段回路と2段目の回路のナンドゲート回路G11とG21は、一方の入力には論理1に対応したハイレベルが定常的に供給されている。初段回路のインバータ回路N11から出力信号が形成されて、一方において第2段目のナンドゲート回路G21の他方の入力に供給される。上記インバータ回路N11から出力信号は、他方においてMCCのナンドゲート回路G12の一方の入力に供給される。このナンドゲート回路G12の方の入力は、上記COMMONに接続される。

【0067】上記FDAの第3段目の基本遅延単位を構成するナンドゲート回路の一方の入力には、2つ前である初段回路に対応したMCCのナンドゲート回路G12の出力信号が供給される。同様に、第4段目以降の基本遅延単位を構成するナンドゲート回路の一方の入力には、それぞれ2つ前のFDAの基本遅延単位の出力信号に対応して設けられたMCCの上記同様なナンドゲート回路の出力信号が順次供給される。特に制限されないが、上記のような基本遅延単位が50段縦列形態に接続されてFDAが構成される。上記1つの基本遅延単位における信号伝播遅延時間は、それぞれがtDのように同*

$$d2 + d1 + \delta + t_{DA} = t_{CK}$$

【0072】また、外部クロックCLKinから内部クロックCLKoutまでの立ち上がりエッジの伝播時間は、

* じく形成される。

【0068】MCCでは、それぞれFDAにおける各段の基本遅延単位の出力信号とCOMMONとを受けるナンドゲート回路から構成される。MCCを構成する各ナンドゲート回路G12、G22等は、BDAを構成するナンドゲート回路G13、G23等の一方の入力に供給される。上記ナンドゲート回路G13、G23は、上記FDAと逆方向に信号伝播させる。すなわち、ナンドゲート回路G23の出力信号は、インバータ回路N22を介してナンドゲート回路G13の他方の入力に伝えられる。このBDAの基本遅延単位を、上記FDAの基本遅延単位と等価にするために、ダミー回路として負荷回路が設けられる。つまり、上記インバータ回路N22の出力信号は、MCCに対応したダミー回路としてナンドゲート回路G24に供給される。このナンドゲート回路G24の他方の入力、他の同様なナンドゲート回路G14等の同様な入力と共通に接続され、同図では省略されているが、固定的にハイレベル又はロウレベルが供給される。

【0069】BDAは、上記のように信号伝播方向が、上記FDAとは逆方向にされ、実質的に上記FDAと同じ構成にされる。それ故、FDAを通して伝えられるクロックのエッジは、BDAにより逆方向に同じ信号遅延時間を以て伝えられる。上記BDAの出力信号BDAoutは、内部クロックドライバとしてのインバータ回路N6とN7を通して出力され、内部クロックCLKoutが形成される。

【0070】この実施例では、上記入力部での遅延時間d1は、上記入力バッファB1、クロック発生回路とインバータ回路N2、N3と、バッファ回路B2でのそれぞれの信号伝播遅延時間とされる。遅延時間d2は、上記インバータ回路N4とN5での信号伝播遅延時間とされる。そして、バッファ回路B3は、上記FDAからMCCを通してBDAに伝えられるパルスエッジの遅延時間δに対応した遅延時間に設定される。これにより、SMDの同期精度の向上を図ることができる。上記内部クロックドライバとしてのインバータ回路N6、N7での信号伝播遅延時間は、上記インバータ回路N4、N5に対応した遅延時間d2に設定される。

【0071】この実施例において、クロック信号の立ち上がりエッジは、FDA中の伝播時間tDAとちょうど同じ時間をかけてBDA中を伝播し、遅延時間d2の遅延回路（内部クロックドライバに相当する）を通して、内部クロックCLKoutとして出力される。上記FDA中のnサイクル目の立ち上がりエッジがn+1サイクル目のCOMMONの立ち上がりエッジによって伝播が止められることから、次式（1）という関係が成立する。

$$\dots\dots\dots (1)$$

上記のような伝播経路に沿って計算すると次式(2)の関係が成立する。つまり、外部クロックCLKinから内部クロックCLKoutまでがちょうど2tCKに等しく*

$$d1+d2+d1+\delta+tDA+\delta+tDA+d2=2(d1+d2+\delta+tDA) \\ =2tCK \quad \text{..... (2)}$$

【0073】同期条件についてみると、次式(3)で与えられる。ここで、Pwは、パルス発生回路で形成されたパルスのパルス幅である。この式の中には、tCKは※

$$Pw < d1 + d2 + \delta + tDA \quad \text{..... (3)}$$

【0074】上記パルス発生回路は省略されてもよい。ただし、上記同期動作が実現するためには、外部端子から供給されるクロック信号のパルス幅デューティを50%とすると、同期可能なクロックサイクルの最高値は、最低値の1.5倍以下のように狭くなる。

【0075】図9には、この発明に用いられるクロック再生回路の他の一実施例の基本的な概念を説明するためのブロック図が示されている。クロックバッファCKBは、入力バッファ回路であり、外部端子から供給される外部クロック信号ext.CLKを取り込むために設けられるものである。このクロックバッファCKBの出力信号は、一方において遅延回路DL1とDL2を通してタイミング発生回路TGのスタート端子(START)に伝えられる。上記クロックバッファCKBの出力信号は、他方において上記タイミング発生回路TGのリバース端子(REVERSE)に伝えられる。

【0076】タイミング発生回路TGは、回路規模を小さくするために、カウンタ回路で構成されており、スタート端子(STRAT)に供給される第1の入力信号で計数動作の起動がかかり一方(例えばアップ計数)に計数動作を開始し、リバース端子(REVERSE)に供給される第2の入力信号で上記計数動作が逆転(例えばダウン計数)され、上記第1と第2の入力信号の時間差に対応した時間経過後に、言い換えるならばアップ計数値と同じダウン計数を行って出力端子OUTからタイミング信号を出力させる。

【0077】上記計数動作のためにパルスは、内部に設☆
 $tCK = t d 1 + t d 2 + t D A$

【0080】上記タイミング発生回路TGは、上記時間差tDAに対応した計数値と同じ時間tDAだけ計数動作を行ってタイミング信号(ノードn3)を形成し、クロックドライバCKDの遅延時間td2の内部クロック信号int.CLKを立ち上げる。つまり、外部クロック信号ext.CLKの立ち上がりから内部クロック信号int.CLKまでに費やされた時間は、 $t d 1 + t d 1 + t d 2 + t D A + t D A + t d 2 = 2(t d 1 + t d 2 + t D A)$ となる。この時間td1+td2+tDAは、上記式(4)のようにクロック信号の1周期tCKに等しいから、内部クロック信号int.CLKは、2クロック後に入力される外部クロック信号ext.CLKと同期することとなる。

*なり、上記の外部クロックCLKinと内部クロックCLKoutとが同期することとなる。

※含まれず、外部クロック周波数に対する条件でなくって同期可能な周波数範囲を広げることが出来る。

10 ☆けられた発振回路により形成される。この発振回路の発振周波数は、上記クロック信号CLKに対して十分高い周波数に設定されるものである。上記タイミング発生回路TGにより形成されたタイミング信号は、クロックドライバCKDを介して内部クロックint.CLKが形成される。

【0078】図10には、上記図9のクロック再生回路の動作を説明するためのタイミング図が示されている。外部クロック信号ext.CLKの1周期はtCKであり、上記クロックバッファCKBの出力ノードn1の信号は、その遅延時間td1だけ遅れたクロック信号とされる。クロックバッファCKBの出力ノードn1の信号は、上記遅延回路DL1とDL2により、上記クロックドライバCKBの遅延時間td1と、上記クロックドライバの遅延時間td2だけ遅れてタイミング発生回路TGのスタート端子に伝えられる。一方、上記クロックバッファCKBの出力ノードn1の信号は、そのまま上記タイミング発生回路TGのリバース端子に伝えられる。

【0079】上記タイミング発生回路TGのスタート端子には、外部クロック信号ext.CLKの立ち上がりから、遅延時間td1+td1+td2の後に入力信号(ノードn2)が供給されて計数動作を開始し、リバース端子には1周期(tCK)遅れた外部クロック信号から上記遅延時間td1の後に入力信号(ノードn2)が供給されて計数動作を逆転させる。これにより、ノードn1のクロック信号の1周期tCKは、次式(4)のように表される。

$$\text{..... (4)}$$

☆【0081】図11には、出力バッファの一実施例の回路図が示されている。同図の回路素子に付した回路記号は、前記図7等の回路記号と重複しているが、それぞれは別個の回路機能を持つものと理解されたい。同図には、1ビットに対応した1個の回路が代表として例示的に示されている。つまり、上記のように16ビットの単位でのデータ出力を行うものでは、同図の回路が16個から構成される。そして、その動作制御を行うクロック信号DOCLK(int.CLK)は、16個の出力バッファに対して共通に供給されるものである。

【0082】出力バッファは、Nチャンネル型の出力MOSFETQ4とQ5と、かかる出力MOSFETQ4とQ5を動作時にはデータDATAに対応して相補的に

オン状態／オフ状態にし、非動作状態のときには出力MOSFETQ4とQ5を共にオフ状態にして出力ハイインピーダンス状態にさせるため、ナンドゲート回路G20とG21及びインバータ回路N20からなる駆動回路が設けられる。また、上記電源電圧VDD側の出力MOSFETQ4のゲート電圧を、電源電圧VDD以上に昇圧して、ハイレベルの出力信号を上記電源電圧VDDまで得るようにするために、MOSFETQ1～Q3、インバータ回路N21及びキャパシタCからなる昇圧回路が設けられる。

【0083】クロック信号DOCLKがロウレベルの非動作状態において、データDATAに無関係にナンドゲート回路G20の出力がハイレベルとなり、Nチャンネル型MOSFETQ3をオン状態にして上記出力MOSFETQ4のゲート電圧を接地電位にしてかかる出力MOSFETQ4をオフ状態にしている。このとき、インバータ回路N21の出力はロウレベルとなり、キャパシタCにはダイオード形態のMOSFETQ1を介してプリチャージがなされている。クロック信号DOCLKがハイレベルの動作状態に変化し、データDATAがハイレベルならナンドゲート回路G20の出力がロウレベルとなり、インバータ回路N21の出力信号がロウレベルからハイレベルに変化する。

【0084】上記キャパシタCにおいては、上記プリチャージ電圧に上記インバータ回路N21の出力ハイレベルが加算された昇圧電圧を発生する。そして、上記ナンドゲート回路G20の出力信号のロウレベルにより、Nチャンネル型MOSFETQ3がオフ状態に、Pチャンネル型MOSFETQ2がオン状態になるので、上記キャパシタCの昇圧電圧は、上記オン状態にされたMOSFETQ2を通して出力MOSFETQ4のゲートに伝えられて、その電圧を電源電圧VDD以上に昇圧する。この結果、出力端子から出力されるデータDOのハイレベル電源電圧VDDのようなハイレベルにされる。なお、上記出力すべきデータDATAがロウレベルなら、ナンドゲート回路G21の出力信号がハイレベルとなり、出力MOSFETQ5をオン状態にして回路の接地電位のようなロウレベルを出力させるものである。

【0085】このような出力バッファにおいて、出力すべきデータDATAは、上記ラッチ／レジスタに保持されているので、上記クロック再生回路により形成されるクロック信号DOCLKの立ち上がり同期して動作を開始し、かかるDOCLKを上記外部クロック信号ext.CLKと同期させることにより、上記アクセスタイムtACにかかる出力バッファの動作遅延時間に等しく短くできる。

【0086】この実施例では、上記のようにクロック再生回路で形成された内部クロック信号int.CLKにより出力バッファを制御している。そして、前記図1又は図2のようなレイアウト構成とすることにより、クロック

再生回路から最も短い距離に配置される出力バッファ(S)と最も長い距離に配置される出力バッファ(L)との間での遅延時間差が小さくなり、図12の動作波形図(b)のように、外部クロック信号ext.CLKに位相同期した内部クロック信号int.CLKの立ち上がりから出力バッファでの動作遅延時間tDOだけ遅れて出力信号DOを出力させることができる。このように、上記動作遅延時間tDOが、クロック信号からデータ出力までの時間tACに等しく高速になる。

10 【0087】つまり、上記のようなクロック再生回路を用いて同期化を図ったとしても、そこから出力バッファまでの距離が最も短いもの(S)と長いもの(L)との差が大きいものでは、図12(a)に示すように、最も長い距離に配置される出力バッファまでの時間tAC(L)に律則されて動作遅延時間tDOが決定されるために、前記のようなクロック信号CLKの周波数が200MHzを超えるようなものでは、クロック信号に同期した読み出し動作が不能になるものである。

【0088】上記の実施例から得られる作用効果は、下記の通りである。すなわち、

20 (1) 半導体チップの中央部分に間接回路領域が設けられ、少なくとも上記間接回路領域を挟んで対称的にメモリアレイ部が構成されてなる半導体記憶装置において、複数からなる出力バッファを上記間接回路領域に1纏まり又は上記間接回路領域のほぼ中心部から等間隔となる位置に2組に分けて配置させるとともに、上記中心部に内部クロック信号の出力点が合致するようクロック再生回路をレイアウト配置することにより、そこでの信号遅延が最小にできクロックに同期した高速読み出しが可能になるという効果が得られる。

30 【0089】(2) 上記クロック再生回路として、シンクロナス・ミラー・ディレイ回路を用いることにより、短時間で同期化した内部クロック信号を形成することができ、SDRAMの使い勝手を良くすることができるという効果が得られる。

40 【0090】(3) 上記シンクロナス・ミラー・ディレイ回路は、遅延段からなる細長い回路で構成されるものであり、それを間接回路領域の長手方向に対して直角方向の2つのメモリアレイに挟まれた細長い半導体領域に嵌め込むようレイアウト配置することにより高集積化が可能になるという効果が得られる。

50 【0091】(4) 上記クロック再生回路として、外部端子から入力されたクロック信号を取り込む入力バッファ回路と、上記入力バッファ回路により取り込まれたクロック信号を遅延させる遅延回路と、上記クロック信号に対して十分高い周波数の発振パルスを形成するパルス発生回路と、上記遅延回路を通したクロック信号により起動され、上記発振パルスを一方の方向にカウント動作を行い、上記入力バッファ回路を通した1周期遅れのクロック信号により他方の方向のカウント動作に切り換

えられ、計数値が計数開始時に戻ったときに出力タイミング信号を形成するアップ/ダウカウンタ回路と、上記カウンタ回路からの出力タイミング信号を受けて内部回路の動作に必要なクロック信号を出力させるクロックドライバとで構成することにより、回路の簡素化が可能になるという効果が得られる。

【0092】(5) 上記半導体記憶装置は、シンクロナスタイナミック型RAMを構成するものであり、上記クロック再生回路は、そのクロック入力回路に用いられるものとする事により、高速動作と高集積化のSDRAMを実現することができるという効果が得られる。

【0093】以上本発明者よりなされた発明を実施例に基づき具体的に説明したが、本願発明は前記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。例えば、図3において、メモリバンクは、間接回路領域を挟んで両側にバンク0とバンク1を設けるというように2バンク構成としてもよい。上記出力バッファを2組に分割して配置する場合、半導体チップの中心に対して対称的な位置に配置する必要はない。2組に分割して配置した場合、かかる出力バッファの配置に対応して、その中心部分にクロック再生回路の出力点が合致するようにすればよいのである。半導体基板上の他の回路のレイアウト構成は、図1の又は図2の構成に限定されず、種々の実施形態を取ることができる。内部クロック信号を形成するクロック再生回路は、DLL又はPLL回路を利用するものであってもよい。この発明は、SDRAMの他にランバス仕様のダイナミック型RAM、あるいはクロック信号に同期して出力信号を形成するようなスタティック型RAM等の各種半導体記憶装置に広く利用できる。

【0094】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記の通りである。すなわち、半導体チップの中央部分に間接回路領域が設けられ、少なくとも上記間接回路領域を挟んで対称的にメモリアレイ部が構成されてなる半導体記憶装置において、複数からなる出力バッファを上記間接回路領域に1纏まり又は上記間接回路領域のほぼ中心部から等間隔となる位置に2組に分けて配置させるとともに、上記中心部に内部クロック信号の出力点が合致するようクロック再生回路をレイアウト配置することにより、そこでの信号遅延が最小にできクロックに同期し

た高速読み出しが可能になる。

【図面の簡単な説明】

【図1】この発明に係る半導体記憶装置の一実施例を示す概略ブロック図である。

【図2】この発明に係る半導体記憶装置の他の一実施例を示す概略ブロック図である。

【図3】この発明が適用される半導体記憶装置の一実施例を示す概略ブロック図である。

【図4】この発明が適用されるSDRAMの一実施例を示す概略レイアウト図である。

【図5】図4のメモリマットのメインワード線とサブワード線との関係を説明するための要部ブロック図である。

【図6】図4のメインワード線とセンスアンプとの関係を説明するための要部ブロック図である。

【図7】この発明が適用されるSDRAMのセンスアンプ部の一実施例を示す要部回路図である。

【図8】この発明に用いられるシンクロナス・ミラー・ディレイ回路の一実施例を示す回路図である。

【図9】この発明に用いられるクロック再生回路の他の一実施例の基本的な概念を説明するためのブロック図である。

【図10】図9のクロック再生回路の動作を説明するためのタイミング図である。

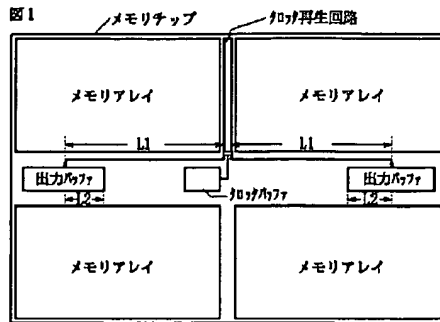
【図11】出力バッファの一実施例を示す回路図である。

【図12】この発明を説明するための波形図である。

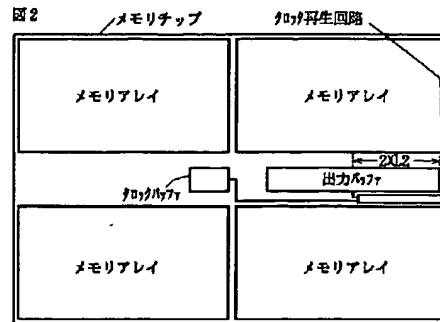
【符号の説明】

MARY…メモリアレイ、XD…Xデコーダ、WD…ワードドライバ、SA…センスアンプ、XRD、YPD…プリデコーダ回路、YDEC…Yデコーダ、DOC…データ出力制御回路、DOB…データ出力バッファ、DIB…データ入力バッファ、RADB…ロウアドレスバッファ、CADB…カラムアドレスバッファ、CONT…制御回路、TSTC…テスト回路、CKG…クロック発生回路、YR、XR…冗長回路、REF…リフレッシュ制御回路、MWD…メインワードドライバ、YD…カラムデコーダ、SWD…サブワードドライバ、YSD…カラムドライバ、YPD…プリデコーダ、FDA…フォワード・ディレイ・アレイ、MCC…ミラー制御回路、BDA…バックワード・ディレイ・アレイ。

【図1】

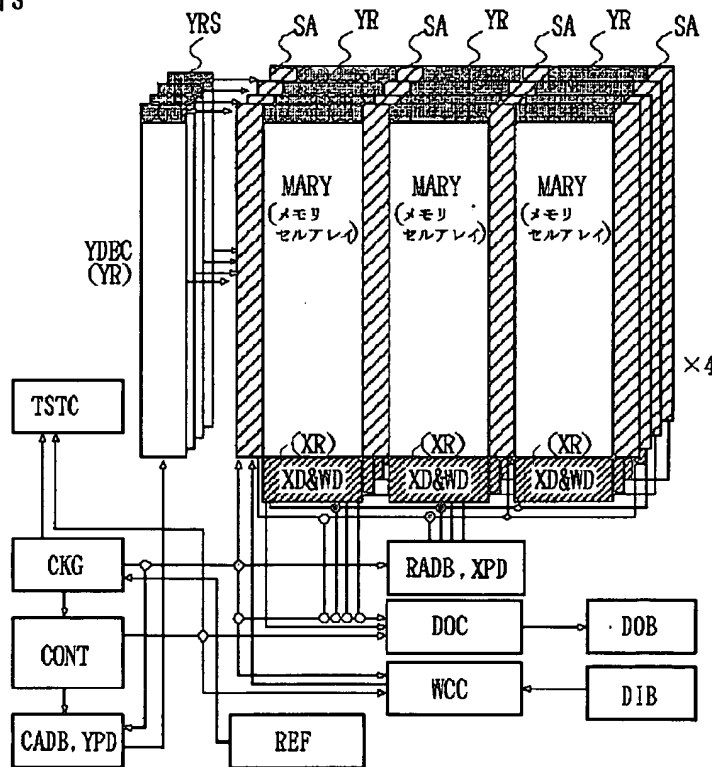


【図2】



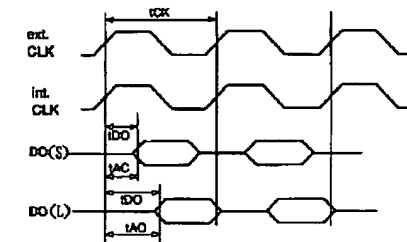
【図3】

図3

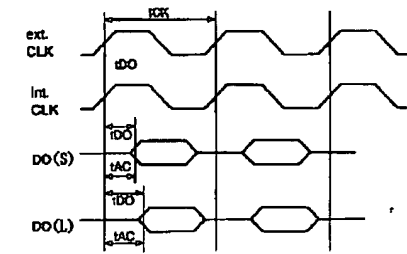


【図12】

図12



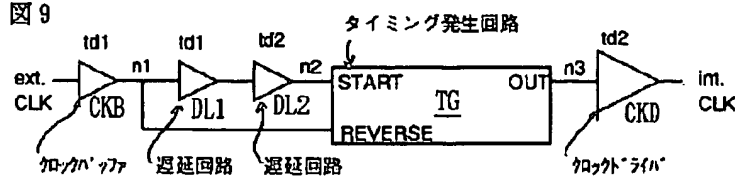
(a) 従来



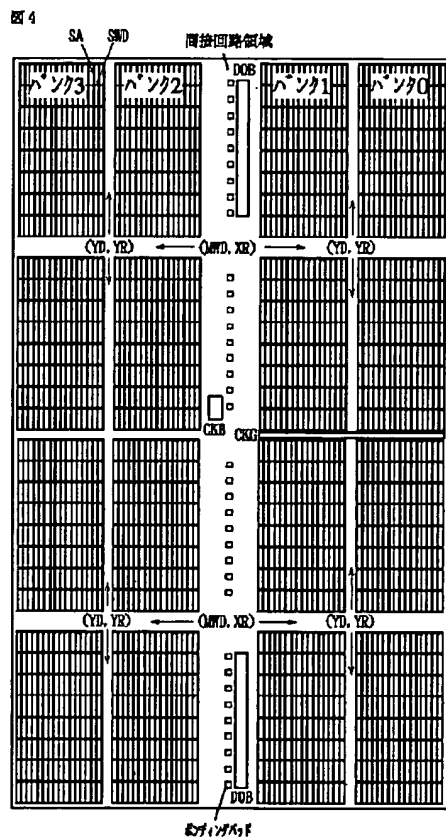
(b) 本発明

【図9】

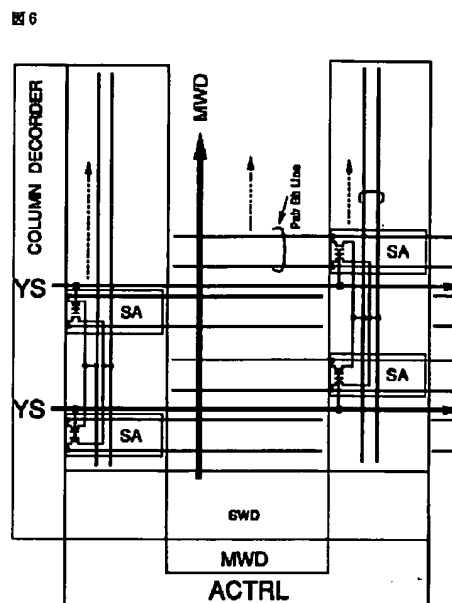
図9



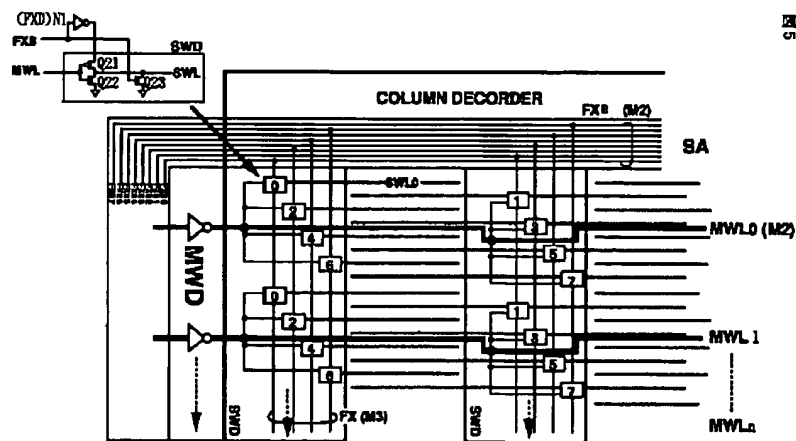
【図4】



【図6】

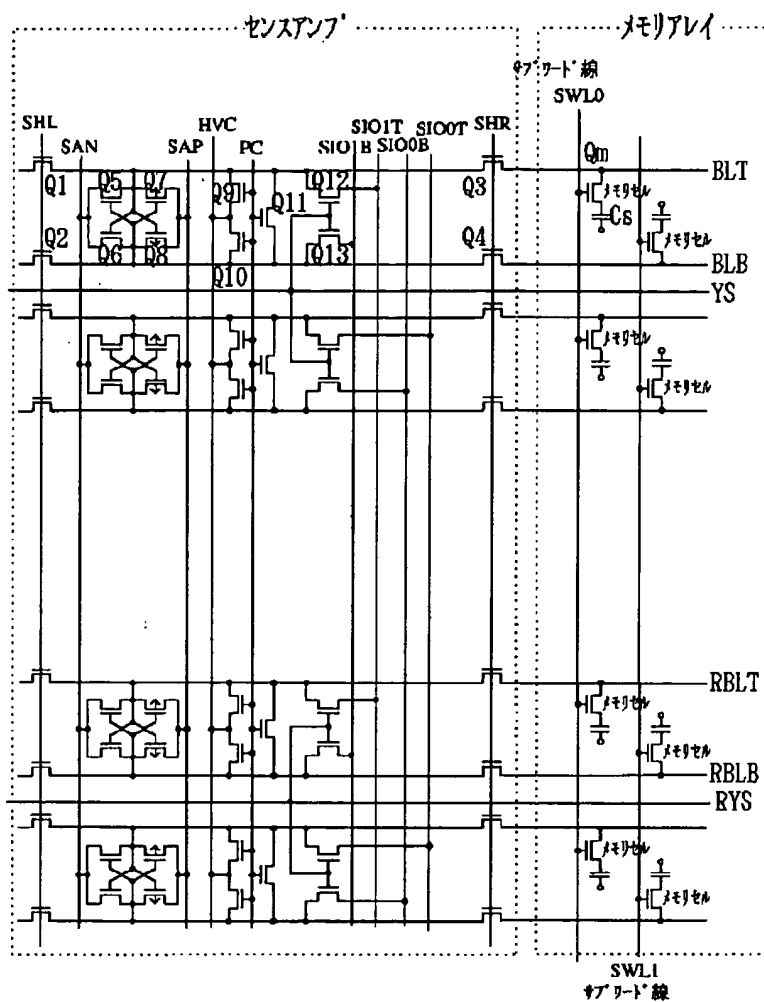


【図5】

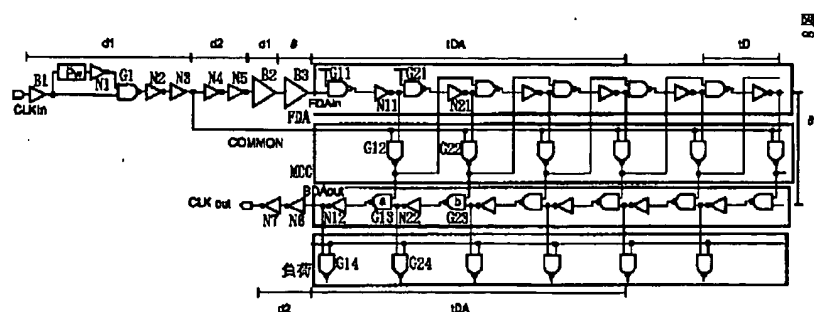


【図7】

図7

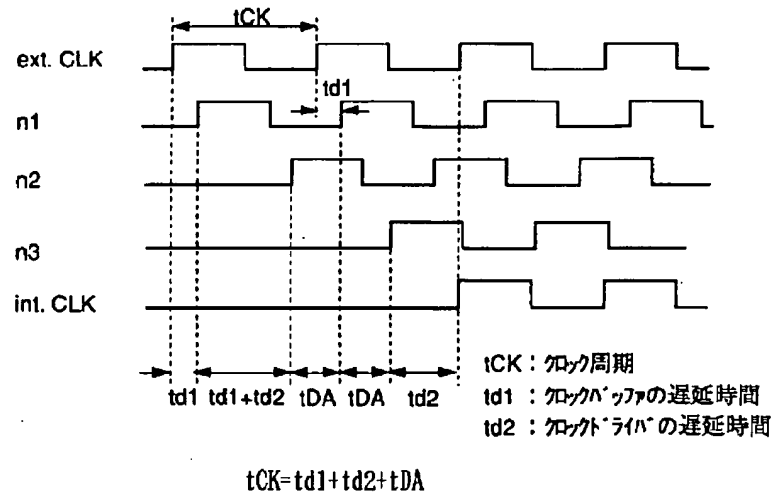


【図8】



【図10】

図10



【図11】

